

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 8 月 25 日 (25.08.2005)

PCT

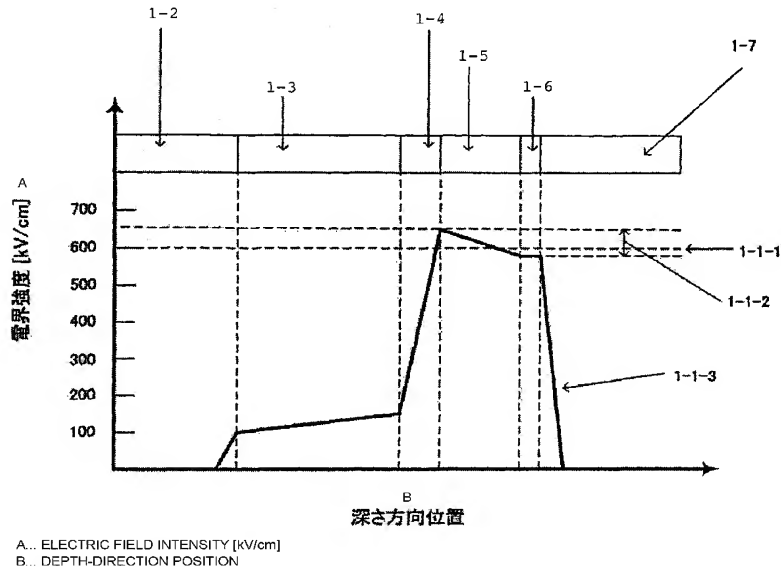
(10) 国際公開番号
WO 2005/078809 A1

- (51) 国際特許分類⁷: H01L 31/107 (72) 発明者; および
(21) 国際出願番号: PCT/JP2005/001702 (75) 発明者/出願人 (米国についてのみ): 中田 武志 (NAKATA, Takeshi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 牧田 紀久夫 (MAKITA, Kikuo) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 正野 篤士 (SHONO, Atsushi) [JP/JP]; 〒2118666 神奈川県川崎市中原区下沼部 1 7 5 3 NEC 化合物デバイス株式会社内 Kanagawa (JP).
(22) 国際出願日: 2005 年 2 月 4 日 (04.02.2005)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2004-036723 2004 年 2 月 13 日 (13.02.2004) JP
(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP). NEC 化合物デバイス株式会社 (NEC COMPOUND SEMICONDUCTOR DEVICES, LTD.) [JP/JP]; 〒2118666 神奈川県川崎市中原区下沼部 1 7 5 3 Kanagawa (JP).
(74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂 1 丁目 9 番 2 0 号 第 1 6 興和ビル 8 階 Tokyo (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

[続葉有]

(54) Title: SEMICONDUCTOR PHOTODETECTOR

(54) 発明の名称: 半導体受光素子



(57) **Abstract:** A semiconductor photodetector (avalanche photodiode) which provides a high-sensitivity element by being incorporated with a multiplication layer having high-performance multiplication characteristics. A structure reducing an electric field applied to an etching stopper layer is used to permit the use of a multiplication layer (multiplication layer multiplied with a high electric field) having higher-performance multiplication characteristics. A first method to implement this is to use a conductive multiplication layer; and a second method is to use a structure in which a conductive electric-field relaxation layer is incorporated. These methods produce such a structure that can apply an electric field lower than a multiplication electric field to an etching stopper layer.

(57) **要約:** 半導体受光素子 (アバランシェ・フォトダイオード) において、高性能な増倍特性を持つ増倍層を組み込んで、高感度な素子を得る。エッチングストッパー層にかかる電界を低減する構造を用いることで、より高性能な増倍特性を持つ増倍層 (高い電界で増倍する増倍層) を利用できる。これを実現する第一の方法は、導電型の増

[続葉有]



WO 2005/078809 A1



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体受光素子

技術分野

[0001] 本発明は、半導体受光素子に関し、特にアバランシェ・フォトダイオード(Avalanche Photodiodes:APD)に関する。

背景技術

[0002] 次世代光通信システム用の高速・高感度受光素子として、図7に示すプレーナ型超格子アバランシェ・フォトダイオード(以下、APDと略す)が報告されている(特許文献1、非特許文献1)。

[0003] このような従来型素子は、InAlAs／InAlGaAs超格子増倍層のイオン化率比増大効果で高利得帯域幅積(GB積(Gain Band width product))化、低雑音化がなされ、且つ安定なInPプレーナpn接合のみを表面に露出する構造とすることにより、高信頼な素子であることが特徴である。

[0004] より具体的には、層構造は、半導体基板上に第一の導電型のバッファ層、第一の導電型の光吸収層、第一の導電型の電界緩和層、増倍層、エッチングストップ層、第二の導電型のバッファ層及び第二の導電型のコンタクト層から成っている。

[0005] このような層構造に対して、素子周辺に形成したアイソレーション溝の周辺部分に対して、第一の導電型の不純物を基板表面から拡散させて、その上部表面を第一の導電型の電極とし、第二の導電型の電極は、素子中央表面に形成する。

[0006] アイソレーション溝の幅は、不純物を拡散する距離と比較して大きく、不純物拡散によりショートすることはない。

[0007] 第一と第二の導電型の電極は互いに、表面よりエッチングストップ層までエッチングにより形成された(形成後、誘電体膜を形成する)アイソレーション溝により分離されダイオードの両電極として機能する。

[0008] また、このアイソレーション溝の底部に不純物を注入することにより、電界分布を調整し、良好なブレイクダウン特性が得られるようになっている。

[0009] このようにして作製された素子は、高速・高感度の光・電気変換が可能となるため、

光通信の受信機や、光計測用の装置において特に効果的に利用されている。

特許文献1:特開平7-312442号公報

非特許文献1:渡辺、他。アイトリプルイー、フォトニクステクノロジーレターズ、第8巻、827-829頁、IEEE, Photonics Technol. Lett. , pp. 827-829, vol. 8, 1996

発明の開示

発明が解決しようとする課題

- [0010] 従来技術の構造では、図8に示す様に、増倍層とエッチングストッパー層とに印加される電界強度はほぼ同じになる
- [0011] 従来例で示したプレーナ型構造のAPDでは、超格子構造を増倍層として用い、低電界から増倍することを特徴とする構造を使用している。超格子構造の場合、増倍層に印加される電界は低いために、エッチングストッパー層の耐電界強度を超えることはないので、暗電流の問題は大きな問題とはなっていない。
- [0012] 一方で、より高いGB積の増倍層を得ようとする場合、超格子構造を用いずに、例えば、InAlAsの膜厚の薄い単層の膜を増倍層として用いることでGB積の値を向上させる方法が知られている。
- [0013] エッチングストッパー層に用いる材料としてInPがよく用いられている。理由は、InAlAs、InGaAs、InAlGaAsのような材料に対してエッチング選択比が高くとれることに起因している。一方、InPは、耐電界強度がInAlAs、InAlGaAsに比較して低い。このために、エッチングストッパーとしては好ましい材料であるが、電子増倍層の膜厚を薄くして(電子増倍層に印加する電界強度を高くすることで)GB特性を向上させる場合エッチングストッパー層に、エッチングストッパー層の耐電界強度を越える高い電界強度が印加され、エッチングストッパー層で非常に大きな暗電流が発生し、デバイスの増倍特性を劣化させたり、雑音を増加させたりすることになる。
- [0014] 尚、エッチングストッパー層としては、InP以外に、InPと格子整合条件で $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{P}_{1-y}$ ($0 \leq x \leq 1.0, 0 \leq y \leq 1.0$)やAlAsSbを使うこともできる。
- [0015] 従って、増倍層の膜厚を薄くすることで、GB積を向上させた増倍層を用いて高感度な半導体受光素子を作製するという手法が適用できないという課題があった。

課題を解決するための手段

- [0016] 本発明は、半導体基板上に、少なくとも第一の導電型のバッファ層、光吸収層、第一の導電型の電界緩和層、増倍層、エッチングストッパー層、第二の導電型のバッファ層および第二の導電型のコンタクト層で構成され、増倍層に印加される電界強度よりもエッチングストッパー層にかかる電界強度が低いことを特徴とする半導体受光素子である。光吸収層の不純物は、第一の導電型であっても第二の導電型であってもよい。
- [0017] 本発明では、エッチングストッパー層の耐電界強度は増倍層の耐電界強度より低く、エッチングストッパー層にかかる電界強度がエッチングストッパー層の耐電界強度よりも低いあるいは増倍層にかかる電界強度がエッチングストッパー層の耐電界強度よりも高いことが好ましい。
- [0018] このために、本発明では、増倍層とエッチング層との間に増倍層の電界を緩和する第二の導電型の電界緩和層を有する、あるいは、増倍層の不純物が第一の導電型あるいは第二の導電型であってよく、不純物が第二の導電型の場合は不純物濃度が $1 \times 10^{16} (\text{cm}^{-3})$ 以上であることがより好ましい。
- [0019] 本発明では、増倍層を形成する元素の比が一定な単層であることが好ましく、増倍層がInAlAsからなる層であることがより好ましく、増倍層の厚さが $0.3 \mu\text{m}$ 以下であることがより好ましい。
- [0020] この場合、エッチングストッパー層が $\text{In}_x\text{Ga}_{(1-x)}\text{As}_y\text{P}_{(1-y)}$ ($0 \leq x \leq 1.0$, $0 \leq y \leq 1.0$)からなる層であることが好ましい。
- [0021] 増倍層に、不純物を添加する場合、増倍層の層厚($d_m(\text{cm})$)と第2の導電型の不純物濃度($N_{dm}(\text{cm}^{-3})$)と、増倍層に印加される電界強度を緩和する電界の大きさ $\Delta E_m(\text{kV}/\text{cm})$ とが、 $N_{dm} \geq k \times e_0 \times \Delta E_m / (q \times d_m)$ の関係を満たすことが好ましい。
- [0022] 電界緩和層を設ける場合、第二の導電型の電界緩和層の層厚($d_k(\text{cm})$)と第2の導電型の不純物濃度($N_{dk}(\text{cm}^{-3})$)と、増倍層に印加される電界強度を緩和する電界の大きさ $\Delta E_k(\text{kV}/\text{cm})$ とが、 $N_{dk} \geq k \times e_0 \times \Delta E_k / (q \times d_k)$ の関係を満たすことが好ましい。

発明の効果

- [0023] エッチングストッパー層にかかる電界を低減する構造を用いることで、より高性能な増倍特性を持つ増倍層(高い電界で増倍する増倍層)を利用できる。
- [0024] 第一の方法を採用することにより、隣接するエッチングストッパー層に印加される電界は、増倍層での最大電界強度より小さくでき、エッチングストッパー層の耐電界強度より低く保持することが可能となる。
- [0025] 例えば、増倍層の増倍電界の最大値が700 (kV/cm) でエッチングストッパー層の耐電界強度が600 (kV/cm) の場合、増倍層内部においておよそ100 (kV/cm) 以上の電界の低減があれば、エッチングストッパー層での暗電流低減を図ることが可能である。
- [0026] したがって、増倍層厚みを $0.2\ \mu\text{m}$ 、第2導電型の不純物濃度を $5 \times 10^{16}\ (\text{cm}^{-3})$ とすることで、エッチングストッパー層での電界強度は145 (kV/cm) 低減でき、 $700 - 145 = 555\ (\text{kV/cm})$ となって電界強度として十分耐えられる大きさになっている。
- [0027] これにより、700 (kV/cm) という高い電界強度をもつ増倍層を用いながら、600 (kV/cm) の耐電界強度をもつエッチングストッパー層の構造を使用することができる。
- [0028] この高い増倍電界強度の増倍層により、GB積を向上させ、かつ暗電流が従来と同等か、それ以下のレベルの特性をもたせることが可能である。
- [0029] 従って、従来よりも高速・高感度なアバランシェ・フォトダイオードを構成することが可能である。
- [0030] 又、第二の方法を採用することにより、増倍層に印加されている電界強度から電界緩和層で緩和された大きさの電界がエッチングストッパー層にかかるようになり、エッチングストッパー層の耐える電界強度より大きな増倍電界強度の材料を使えるようになる。
- [0031] 例えば、増倍層の増倍電界の最大値が650 (kV/cm) でエッチングストッパー層の耐電界強度が550 (kV/cm) の場合、増倍層とエッチングストッパー層の間の第2導電型緩和層において、100 (kV/cm) 以上の電界緩和機能があれば、エッチングストッパー層で発生する暗電流を抑えることが可能である。
- [0032] 第二の導電型の緩和層の厚みを $0.1\ \mu\text{m}$ 、不純物濃度を $1 \times 10^{17}\ (\text{cm}^{-3})$ とするこ

とで、 145 (kV/cm) の電界緩和量を得ることが可能である。従って、エッチングストッパー層における電界は、 $650-145=455\text{ (kV/cm)}$ となり、十分低い電界である。

- [0033] これにより、 650 (kV/cm) という高い電界強度をもつ増倍層を用いながら、 550 (kV/cm) の耐電界強度をもつエッチングストッパー層の構造を使用することができる。
- [0034] この高い増倍電界強度の増倍層により、GB積を向上させ、かつ暗電流が従来と同等か、それ以下のレベルの特性をもたせることが可能である。従って、従来よりも高速・高感度且つ低雑音のアバランシェ・フォトダイオードを構成することが可能である。
- [0035] 本発明を従来の構造のAPDに採用することもでき、この場合は、エッチングストッパー層に印加される電界強度が緩和されるので、暗電流を更に減らすことができ、特性の改善(低雑音化)がはかれるという効果がある。

図面の簡単な説明

- [0036] [図1]第一の実施の形態の説明図(1)
[図2]第一の実施の形態の説明図(2)
[図3]実施例1の説明図
[図4]第二の実施の形態の説明図(1)
[図5]第二の実施の形態の説明図(2)
[図6]実施例2の説明図
[図7]背景技術の説明図(1)
[図8]背景技術の説明図(2)

符号の説明

- [0037] 1-1 半導体基板
1-2 第一の導電型のバッファー層
1-3 第一の導電型の光吸収層
1-4 第一の導電型の電界緩和層
1-5 第二の導電型の増倍層
1-6 エッチングストッパー層
1-7 第二の導電型のバッファー層

- 1-8 第二の導電型のコンタクト層
- 1-9 誘電体膜
- 1-10 電極
- 1-11 電極
- 1-12 不純物拡散領域
- 1-1-1 エッチングストッパー層の耐電界強度
- 1-1-2 ΔE
- 1-1-3 電界分布の線
- 1-3-1 InP半導体基板
- 1-3-2 p型バッファ層
- 1-3-3 p型光吸収層
- 1-3-4 p型電界緩和層
- 1-3-5 n型増倍層
- 1-3-6 エッチングストッパー層
- 1-3-7 n型バッファ層
- 1-3-8 n型コンタクト層
- 1-3-9 SiNx誘電体膜
- 1-3-10 p電極
- 1-3-11 n電極
- 1-3-12 Zn拡散領域
- 2-1 半導体基板
- 2-2 第一の導電型のバッファ層
- 2-3 第一の導電型の光吸収層
- 2-4 第一の導電型の電界緩和層
- 2-5-1 増倍層
- 2-5-2 第二の導電型の電界緩和層
- 2-6 エッチングストッパー層
- 2-7 第二の導電型のバッファ層

- 2-8 第二の導電型のコンタクト層
- 2-9 誘電体膜
- 2-10 電極
- 2-11 電極
- 2-12 不純物拡散領域
- 2-2-1 エッチングストッパー層の耐電界強度
- 2-2-2 ΔE
- 2-2-3 電界分布の線
- 2-3-1 半導体基板
- 2-3-2 p型バッファ層
- 2-3-3 p型光吸収層
- 2-3-4 p型電界緩和層
- 2-3-5-1 増倍層
- 2-3-5-2 n型電界緩和層
- 2-3-6 エッチングストッパー層
- 2-3-7 n型バッファ層
- 2-3-8 n型コンタクト層
- 2-3-9 SiNx誘電体膜
- 2-3-10 p電極
- 2-3-11 n電極
- 2-3-12 Zn拡散領域
- 3-1 半導体基板
- 3-2 第一の導電型のバッファ層
- 3-3 第一の導電型の光吸収層
- 3-4 第一の導電型の電界緩和層
- 3-5 増倍層
- 3-6 エッチングストッパー層
- 3-7 第二の導電型のバッファ層

3-8 第二の導電型のコンタクト層

3-9 誘電体膜

3-10 電極

3-11 電極

3-12 不純物拡散領域

3-2-1 エッチングストッパー層の耐電界強度

3-2-2 電界分布の線

発明を実施するための最良の形態

[0038] エッチングストッパー層の耐える電界強度より高い電界を増倍層に印加できるようにするためには、増倍層に印加される電界強度を緩和し、エッチングストッパー層に印加される電界強度を、増倍層に印加される電界強度より低くすることで解決される。これは、下記の方法によって実現できることを本発明者等は見出した。

[0039] 第一の方法は、エッチングストッパー層に隣接する増倍層に第2の導電型の不純物ドーピングを行い、電界を緩和する機能を持たせる方法である。

[0040] 第二の方法は、増倍層は導電型を問わず低濃度の不純物をドーピングした構造で構成し、増倍層とエッチングストッパー層の間に電界緩和の機能を持った第2の導電型の不純物をドーピングした電界緩和層を設ける方法である。

[0041] 第一の方法では、増倍強度の高い増倍層に第2の導電型の不純物ドーピングを行うことで、増倍層内部での電界強度を下げる方法である。

[0042] この方法を用いることにより、エッチングストッパー層にかかる電界強度を増倍電界強度に比較して必要な量、あるいはそれ以上の範囲で削減できる。

[0043] この際に、低減したい電界緩和量と増倍層の層厚および不純物濃度との関係は下記の式(1)で表現できる。

$$[0044] \quad \Delta E_m = q \times d_m \times N_{dm} / (k \times \epsilon_0) \cdots (1)$$

ここで、 ΔE_m : 低減したい電界の大きさ(kV/cm)、 q : 電荷素量、 d_m : 増倍層厚(cm)、 N_{dm} : 増倍層の不純物濃度(cm^{-3})、 k : 増倍層の比誘電率および ϵ_0 : 真空の誘電率である。

[0045] 仮に厚みが0.2 μm で不純物濃度が $2 \times 10^{16} (\text{cm}^{-3})$ の増倍層を使用すると、式(

1)から最大電界からみた電界の低減量 ΔE_m は、約58(kV/cm)が得られる。

[0046] このように、電界の低減量は、増倍層の不純物濃度及び厚みを設定して決めることが可能である。

[0047] 第二の方法では、増倍電界強度の高い増倍層とエッチングストッパー層との間に電界緩和層を挿入することである。この方法を用いることにより、エッチングストッパー層にかかる電界強度を増倍層にかかる電界強度に比較して必要な量、あるいはそれ以上の範囲で削減できる。

[0048] 増倍層は、非常に低不純物濃度であれば第一の導電型の不純物であっても第二の導電型の不純物であっても良い。

[0049] 電界緩和層の電界緩和量 ΔE_k は、下記の式(2)で表現できる。

[0050]
$$\Delta E_k = q \times d_k \times N_{dk} / (k \times e_0) \cdots (2)$$

d_k は、電界緩和層の層厚、 N_{dk} は、電界緩和層の不純物濃度(導電型は、第二の導電型の増倍層と同一導電型である)、 q は、電荷素量および k は、電界緩和層の比誘電率である。

[0051] 例えば、第二の導電型の電界緩和層の厚みと濃度を、 $0.1 \mu m$ 及び $5 \times 10^{16} (cm^{-3})$ とした場合、電界緩和量 ΔE_k は、約72(kV/cm)となる。

(第一の実施の形態)

第一の実施の形態について、図1および図2を用いて詳細に説明する。

[0052] 図1は、本実施の形態の概略構造断面を示す。

[0053] 半導体基板1-1(導電型を問わない)上に半導体基板1-1に接して順に、第一の導電型のバッファ層1-2、第一の導電型の光吸収層1-3、第一の導電型の電界緩和層1-4、第二の導電型の増倍層1-5、エッチングストッパー層1-6、第二の導電型のバッファ層1-7および第二の導電型のコンタクト層1-8で構成された層構造を形成する。

[0054] 次に、表面に、光吸収層とコンタクト層との電極を設けるために、電極間の分離溝を、表面からエッチングストッパー層の深さまで形成する。その後、絶縁膜となるシリコン酸化膜やシリコン窒化膜のような誘電体膜1-9を全面に形成する。尚、誘電体膜は、シリコン酸化膜やシリコン窒化膜以外であっても良い。その後、分離溝の外周囲の光

吸収層の電極形成領域の誘電体膜を除去し、第一の導電型の不純物をバッファ層に達するまで拡散し、不純物拡散領域1-12を形成し、次に、分離溝の内部のコンタクト層の電極形成領域の誘電体膜を除去する。

- [0055] 光吸収層とコンタクト層との電極形成領域に電極1-11および1-12を形成する。
- [0056] 増倍層1-5が、分離溝の表面に出てしまうと表面リークが発生し、特性を劣化させてしまうので、エッチングストッパー層1-6を、増倍層1-5と第二の導電型のバッファ層1-6との間に設ける必要がある。
- [0057] III-V族化合物半導体では、選択エッチングをする場合、エッチングストッパー層は、エッチングストッパー層の上層に形成された層と異なるV族元素を使用することで、どちらかの層の不純物濃度が高くなった場合でも、高い選択比を得ることができる。
- [0058] エッチングストッパー層1-6は、下層を構成する増倍層1-5を構成する元素とV族の元素が異なっていることが好ましい。同じ元素構成であると、下層を構成する増倍層1-5と同じ機能を持つてしまうため、下層の増倍層が厚くなった場合と同様な機能を持つことになるからである。
- [0059] 尚、第2の実施の形態でも同じであるが、光吸収層は第二の導電型であってもかまわない。
- [0060] 各層に印加される電界分布の概略図を図2に示す。本実施の形態では、増倍層の不純物濃度を高くしている。この結果、図2に示されるように、第二の導電型の増倍層が電界を緩和する機能を持ち、増倍層に印加される最大電界強度が緩和され、エッチングストッパー層に印加される電界強度は、第二の導電型の増倍層に印加された最大電界強度よりも低い電界が印加される。この為、増倍層の電界の最大強度を従来よりも大きくしても、暗電流が大きくなることはなく、増倍電流のS/N比の高い増倍特性を得ることが可能である。
- [0061] より具体的には、例えば、材料としてInAlAsを用い、層厚が $0.3\mu\text{m}$ の増倍層の場合、増倍層の最大電界はおよそ600-650(kV/cm)となる。
- [0062] エッチングストッパー層としてInPを用いる場合、その耐電界強度は600(kV/cm)となる。この場合には、増倍層にで、約50(kV/cm)の電界の低減をしておけば、エッチングストッパー層に印加される電界は耐電界強度以下になる。増倍層で削減で

きる電界の量 ΔE_m は下記の式 (3) で与えられる。

$$[0063] \quad \Delta E_m = q \times d_m \times N_{dm} / (k \times e_0) \cdots (3)$$

ここで、 $q = 1.6 \times 10^{-19}$ (C)、 $e_0 = 8.85 \times 10^{-14}$ (真空の誘電率、cm 表示)、 d_m = 増倍層の層厚 (cm)、 N_{dm} = 増倍層の不純物濃度 (cm^{-3}) および $k = 12.5$ (増倍層の比誘電率) である。

[0064] 増倍層の厚みが $0.3 \mu\text{m}$ で第2導電型の不純物濃度が $1.5 \times 10^{16} (\text{cm}^{-3})$ の増倍層を使用する場合、式 (3) から、電界の低減量 $\Delta E_m = 65 (\text{kV/cm})$ が得られる。

[0065] このように、電界の低減量は、増倍層の不純物濃度及び厚みを設定で決めることが可能である。GB積を大きくすることが、単層の薄膜増倍層を用いる目的であり、膜厚が $0.3 \mu\text{m}$ を越える事がないとすると、増倍層の不純物濃度は $1.0 \times 10^{16} (\text{cm}^{-3})$ 以上が好ましく、 $1.5 \times 10^{16} (\text{cm}^{-3})$ であることがより好ましい。 $1 \times 10^{16} (\text{cm}^{-3})$ 以上の不純物濃度は、アンドープの場合の不純物濃度である $1 \sim 5 \times 10^{15} (\text{cm}^{-3})$ に比べて十分に高不純物濃度である。

[0066] また、増倍層内部で削減する電界の大きさは、上記の例で記述した場合よりも大きくてもデバイス動作は可能であるので、上記の増倍層の不純物濃度は、 $1.5 \times 10^{16} (\text{cm}^{-3})$ より濃い条件であればよい。

[0067] 本発明は、増倍層として高いGB積を示す薄膜 ($\leq 0.3 \mu\text{m}$) 増倍層のような、高い増倍電界強度の増倍層をプレーナ型構造で用いることを可能にすることが主な目的であるので、増倍層の厚みに関してまず決定することが多い。

[0068] 従って、多くの場合、まず増倍層の層厚を決定し、その後、必要な電界削減量に見合った濃度を式から算出して用いることになる。

[0069] 従って、膜厚 d_m を決定したならば、上記の濃度が濃い条件でも許容されるという条件を加えて、下記、式 (4) から不純物濃度を算出できる。

$$[0070] \quad N_{dm} \geq k \times e_0 \times \Delta E_m / (q \times d_m) \cdots (4)$$

このような条件を満たす構造において、従来例よりも高い電界の増倍層をプレーナ型APDに適用し、従来と同等の増倍暗電流であれば、より高いGB積のデバイス動作を、従来と同等のGB積であれば、より低い増倍暗電流のデバイスを得ることが可能となる。

(第二の実施の形態)

第二の実施の形態について、図4を用いて詳細に説明する。

[0071] 図4は、本実施の形態の概略構造断面を示す。

[0072] 半導体基板(導電型を問わない)2-1上に半導体基板2-1に接して順に、第一の導電型のバッファ層2-2、第一の導電型の光吸収層2-3、第一の導電型の電界緩和層2-4、増倍層2-5-1、第二の導電型の電界緩和層2-5-2、エッチングストッパー層2-6、第二の導電型のバッファ層2-7および第二の導電型のコンタクト層2-8で構成された層構造を形成する。

[0073] 次に、表面に、光吸収層とコンタクト層との電極を設けるために、電極間の分離溝を、表面からエッチングストッパー層の深さまで形成する。その後、絶縁膜となるシリコン酸化膜やシリコン窒化膜のような誘電体膜2-9を全面に形成する。尚、誘電体膜は、シリコン酸化膜やシリコン窒化膜以外であっても良い。その後、分離溝の外周囲の光吸収層の電極形成領域の誘電体膜を除去し、第一の導電型の不純物をバッファ層に達するまで拡散し、不純物拡散領域2-12を形成し、次に、分離溝の内部のコンタクト層の電極形成領域の誘電体膜を除去する。

[0074] 光吸収層とコンタクト層との電極形成領域に電極1-11および1-12を形成する。

[0075] 各層に印加される電界分布の概略図を図5に示す。本実施の形態では、電界を緩和するために、第二の導電型の電界緩和層を設けている。この結果、図5に示されるように、第二の導電型の増倍層に印加された電界が、第二の導電型の電界緩和層によりを緩和する機能を持ち、増倍層に印加された電界強度が緩和され、エッチングストッパー層に印加される電界強度は、第二の導電型の増倍層に印加された電界強度よりも低い電界が印加される。この為、増倍層の電界の最大強度を従来よりも大きくしても、暗電流が大きくなることはなく、増倍電流のS/N比の高い増倍特性を得ることが可能である。

[0076] より具体的には、例えば、材料としてInAlAsを用い、層厚が $0.2\mu\text{m}$ の増倍層の場合、増倍層の最大電界はおおよそ $650\text{--}700\text{kV/cm}$ となる。

[0077] エッチングストッパー層としてInPを用いる場合、その耐電界強度は 600 (kV/cm) となる。この場合には、第2導電型の電界緩和層において 100 (kV/cm) より大きな

電界の緩和をすれば、エッチングストッパー層に印加される電界は耐電界強度以下になる。増倍層で削減できる電界の量 ΔE_k は、次の式(6)で与えられる。

$$[0078] \quad \Delta E_k = q \times d_k \times N_{dk} / (k \times \epsilon_0) \cdots (5)$$

ここで、 $q = 1.6 \times 10^{-19}$ (C)、 $\epsilon_0 = 8.85 \times 10^{-14}$ (真空の誘電率、cm表示)、 d_k = 第二導電型の緩和層の層厚 (cm)、 N_{dk} = 第二導電型の緩和層の不純物濃度 (cm^{-3})、 $k = 12.5$ (第二導電型の緩和層の比誘電率) である。

[0079] 例えば、第二導電型の緩和層を、層厚 $0.1 \mu\text{m}$ 、不純物濃度 $1 \times 10^{17} (\text{cm}^{-3})$ で形成すると、 $\Delta E_k = 145 (\text{kV/cm})$ になり、上記の条件を満たすことが出来る。

[0080] 電界緩和の量は、これ以上の大きさであってもデバイスは機能することから、濃度と層厚の条件は、下記の式(7)で表せる。

$$[0081] \quad \Delta E_k \leq q \times d_k \times N_{dk} / (k \times \epsilon_0) \cdots (6)$$

式(6)の条件を満たす様に作製すれば、エッチングストッパー層での暗電流を低減する効果を得ることが可能である。

[0082] 尚、第1の実施の形態および第2の実施の形態では、従来技術よりもGB積を大きくするために増倍層として膜厚の薄い、InAlAsを用いた場合で説明したが、従来の構造の半導体受光素子に本発明を適用することができる。本発明を従来技術に適用すると、エッチングストッパー層に印加される電界強度が減少する。エッチングストッパー層に印加される電界強度が緩和されるので、従来よりも暗電流が減少し、特性の改善(低雑音化)がはかれるという効果がある。

実施例

[0083] (実施例1)

図3に示す様に、n型、p型(もしくはSI(Semi-Insulating: 半絶縁性)型) InP半導体基板1-3-1上に、InP、InAlAs、又はInAlGaAsのp型バッファ層1-3-2、InGaAsp型光吸収層1-3-3、p型電界緩和層1-3-4、n型の増倍層1-3-5、エッチングストッパー層1-3-6、n型バッファ層1-3-7およびn型コンタクト層1-3-8を積層した構造に対して、アイソレーションエッチングおよび誘電体パッシベーション(SiN_x 誘電体層1-3-9)等を施してプレーナ型APDが得られる。

[0084] n型増倍層1-3-5として、層厚 $0.3 \mu\text{m}$ 、不純物濃度 $3 \times 10^{16} (\text{cm}^{-3})$ のInAlAsを

用い、エッチングストッパー層1-3-6としては、 $0.1\ \mu\text{m}$ のInPを、n型バッファ層1-3-7として、層厚 $0.5\ \mu\text{m}$ 、不純物濃度 $1 \times 10^{18}\ (\text{cm}^{-3})$ のInAlAsを、n型コンタクト層1-3-8として、層厚 $0.2\ \mu\text{m}$ 、不純物濃度 $5 \times 10^{18}\ (\text{cm}^{-3})$ のInGaAsを用いる。

[0085] 尚、p型光吸収層は、n型の光吸収層を用いることもできる。

[0086] このn型増倍層1-3-5は、 $130\ (\text{kV}/\text{cm})$ 電界を降下させる機能を持ち、増倍電界の最大値が $650\ (\text{kV}/\text{cm})$ となる動作条件においても、InPエッチングストッパー層1-3-6にかかる電界は $520\ (\text{kV}/\text{cm})$ となる。

[0087] これにより、増倍層が、エッチングストッパー層1-3-6の耐電界強度より高い増倍電界を持つ構造であることと、暗電流の低い構造とを両立させることが可能である。

[0088] このようにして試作した素子は、ウエハー面内全面に渡って、暗電流が低減された。受光直径 $30\ \mu\text{m}$ の素子の暗電流を測定したところ、温度 $0\sim 85\ (^{\circ}\text{C})$ の条件下において、暗電流は、 0.9Vb で、 $500\ (\text{nA})$ 以下とすることができた。

[0089] ここで、 Vb は、ブレイクダウン電圧である。

[0090] GB積は、 $80\ (\text{GHz})\ (50\ (\Omega)\ \text{負荷時})$ の利得帯域積を得ることができた。

[0091] 素子信頼性は、 100 万時間以上の寿命が得られると推定される。

[0092] これらの特性は、特に光通信用の受信機に用いるのに有効である。

[0093] また、これらの特性を同時に満たすことは、本明細書で提案の構造を用いることで初めて可能となるものである。

[0094] (実施例2)

図6に示す様に、n型(もしくはSI型)InP基板2-3-1上にInP又は、InAlAs又はInAlGaAsから成るp型バッファ層2-3-2、InGaAsから成るp型光吸収層2-3-3、p型電界緩和層2-3-4、増倍層2-3-5-1、n型電界緩和層2-3-5-1、エッチングストッパー層2-3-6、n型バッファ層2-3-7、n型コンタクト層2-3-8を積層した構造に対して、アイソレーションエッチングおよび SiN_x 誘電体パッシベーション等を施してプレーナ型APDを構成する。

[0095] 増倍層2-3-5-1として、層厚 $0.2\ \mu\text{m}$ でアンドープのInAlAsを、n型電界緩和層2-3-5-2として、層厚 $0.1\ \mu\text{m}$ 、濃度 $1 \times 10^{17}\ (\text{cm}^{-3})$ のInAlAsを、エッチングストッパー層2-3-6として、 $0.1\ \mu\text{m}$ のInPを、n型バッファ層2-3-7としては、層厚 0

・ $5\ \mu\text{m}$ 、濃度 $1 \times 10^{18}(\text{cm}^{-3})$ の InAlAs、n型コンタクト層 2-3-7 として、層厚 $0.2\ \mu\text{m}$ 、濃度 $5 \times 10^{18}(\text{cm}^{-3})$ の InGaAs を用いる。

[0096] このn型電界緩和層は、 $145(\text{kV}/\text{cm})$ 電界を降下させる機能を持ち、増倍電界の最大値が $700(\text{kV}/\text{cm})$ となる動作条件においても、InP エッチングストッパー層にかかる電界は $555(\text{kV}/\text{cm})$ となる。

[0097] これにより、エッチングストッパー層の耐電界強度より高い増倍電界を持つ構造であることと、暗電流の低い構造とを両立させることが可能である。

[0098] このようにして試作した素子は、ウェハー面内全面に渡って、暗電流が低減された。受光直径 $30\ \mu\text{m}$ の素子の暗電流を測定したところ、温度 $0\sim 85(^{\circ}\text{C})$ の条件下において、 $0.9V_b$ での値が $500(\text{nA})$ 以下を得ることができた。

V_b はブレークダウン電圧である。

[0099] GB積は、 $85(\text{GHz})(50(\Omega)$ 負荷時)の利得帯域積を得ることができた。

[0100] 素子信頼性は、100万時間以上が推定される。

[0101] これらの特性は、特に光通信の光受信機に用いるのに有効である。

[0102] また、これらの特性を同時に満たすことは、本明細書で提案の構造を用いることで初めて可能となるものである。

請求の範囲

- [1] 半導体基板上に、少なくとも第一の導電型のバッファ層、光吸収層、第一の導電型の電界緩和層、増倍層、エッチングストッパー層、第二の導電型のバッファ層および第二の導電型のコンタクト層で構成され、
- 前記増倍層に印加される電界強度よりも前記エッチングストッパー層にかかる電界強度が低いことを特徴とする半導体受光素子。
- [2] 前記光吸収層の不純物が第一の導電型である請求項1に記載の半導体受光素子。
- [3] 前記光吸収層の不純物が第二の導電型である請求項1に記載の半導体受光素子。
- [4] 前記エッチングストッパー層の耐電界強度は前記増倍層の耐電界強度より低く、前記エッチングストッパー層にかかる電界強度が前記エッチングストッパー層の耐電界強度よりも低いことを特徴とする請求項1に記載の半導体受光素子。
- [5] 前記エッチングストッパー層の耐電界強度は前記増倍層の耐電界強度より低く、前記増倍層にかかる電界強度が前記エッチングストッパー層の耐電界強度よりも高いことを特徴とする請求項1に記載の半導体受光素子。
- [6] 前記増倍層と前記エッチング層との間に前記増倍層の電界を緩和する第二の導電型の電界緩和層を有することを特徴とする請求項1に記載の半導体受光素子。
- [7] 前記増倍層の不純物が第一の導電型である請求項6に記載の半導体受光素子。
- [8] 前記増倍層の不純物が第二の導電型である請求項6に記載の半導体受光素子。
- [9] 前記増倍層の不純物が第二の導電型で不純物濃度が $1 \times 10^{16} (\text{cm}^{-3})$ 以上であることを特徴とする請求項1に記載の半導体受光素子。
- [10] 前記増倍層を形成する元素の比が一定な単層であることを特徴とする請求項1に記載の半導体受光素子。
- [11] 前記増倍層がInAlAsからなる層であることを特徴とする請求項10に記載の半導体受光素子。
- [12] 前記増倍層の厚さが $0.3 \mu\text{m}$ 以下であることを特徴とする請求項10に記載の半導体受光素子。
- [13] 前記エッチングストッパー層が $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{P}_{1-y}$ ($0 \leq x \leq 1.0, 0 \leq y \leq 1.0$) からなる層であることを特徴とする請求項11に記載の半導体受光素子。

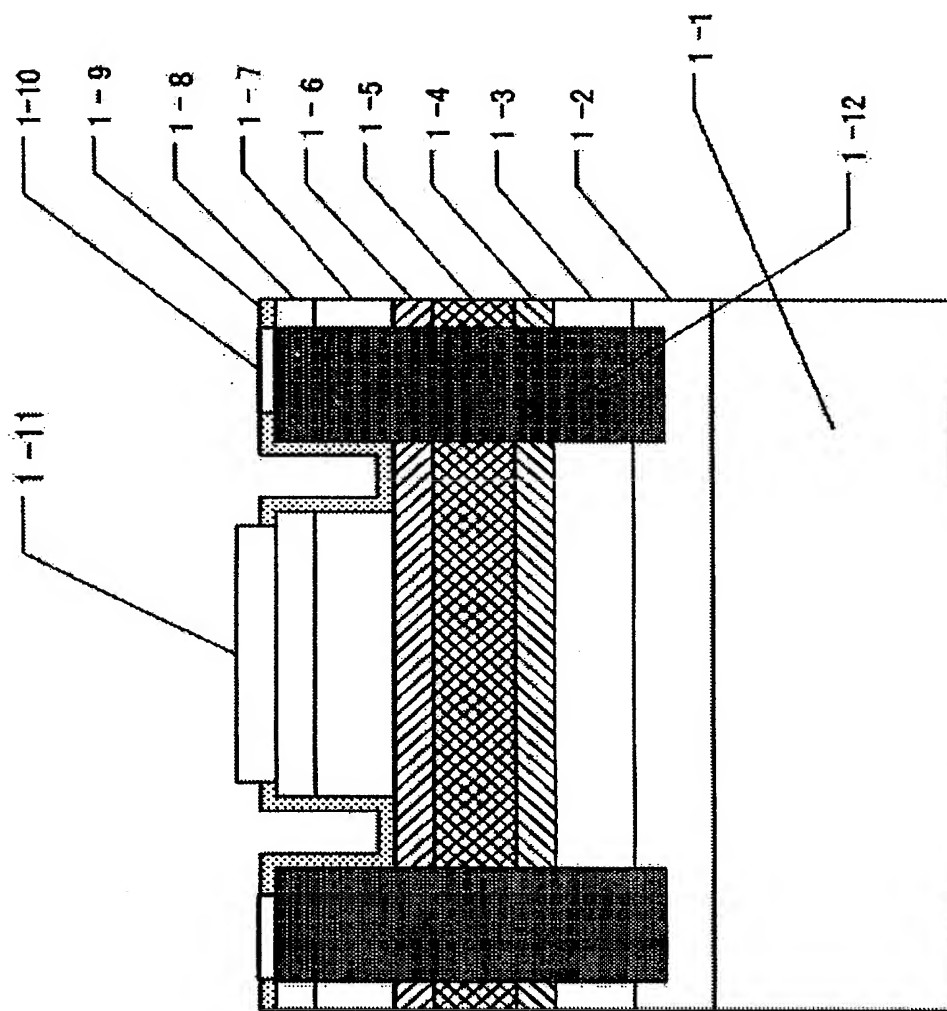
- [14] 前記増倍層の層厚($d_m(\text{cm})$)と第二の導電型の不純物濃度($N_{dm}(\text{cm}^{-3})$)と、前記増倍層に印加される電界強度を緩和する電界の大きさ $\Delta E_m(\text{kV}/\text{cm})$ とが、 $N_{dm} \geq k \times \epsilon_0 \times \Delta E_m / (q \times d_m)$ の関係を満たすことを特徴とする請求項1に記載の半導体受光素子。

(ここで、 k は、増倍層の比誘電率、 ϵ_0 は、真空の誘電率および q は、電荷素量である)

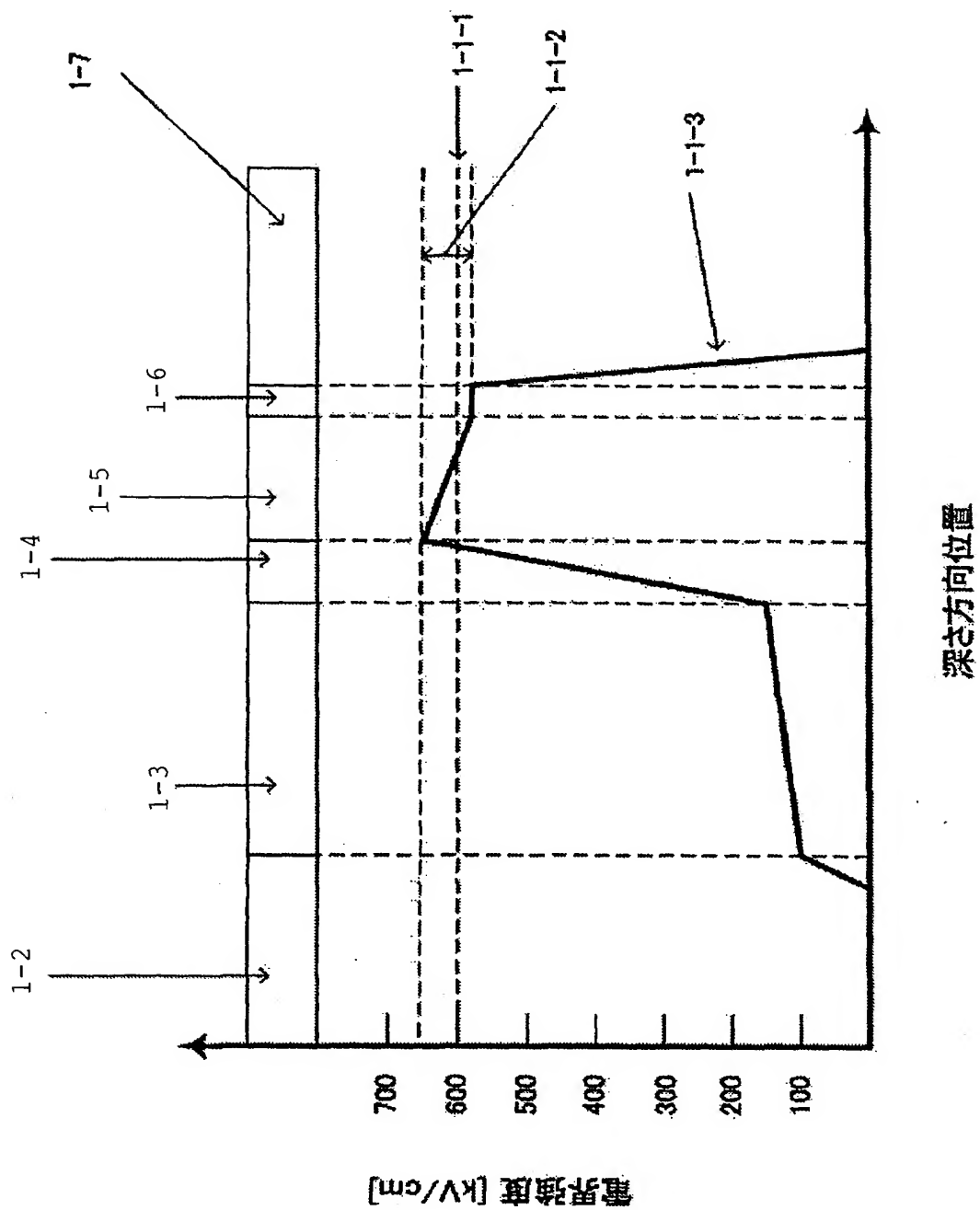
- [15] 前記第二の導電型の電界緩和層の層厚($d_k(\text{cm})$)と第二の導電型の不純物濃度($N_{dk}(\text{cm}^{-3})$)と、前記増倍層に印加される電界強度を緩和する電界の大きさ $\Delta E_k(\text{kV}/\text{cm})$ とが、 $N_{dk} \geq k \times \epsilon_0 \times \Delta E_k / (q \times d_k)$ の関係を満たすことを特徴とする請求項6に記載の半導体受光素子。

(ここで、 k は、電界緩和層の比誘電率、 ϵ_0 は、真空の誘電率および q は、電荷素量である)

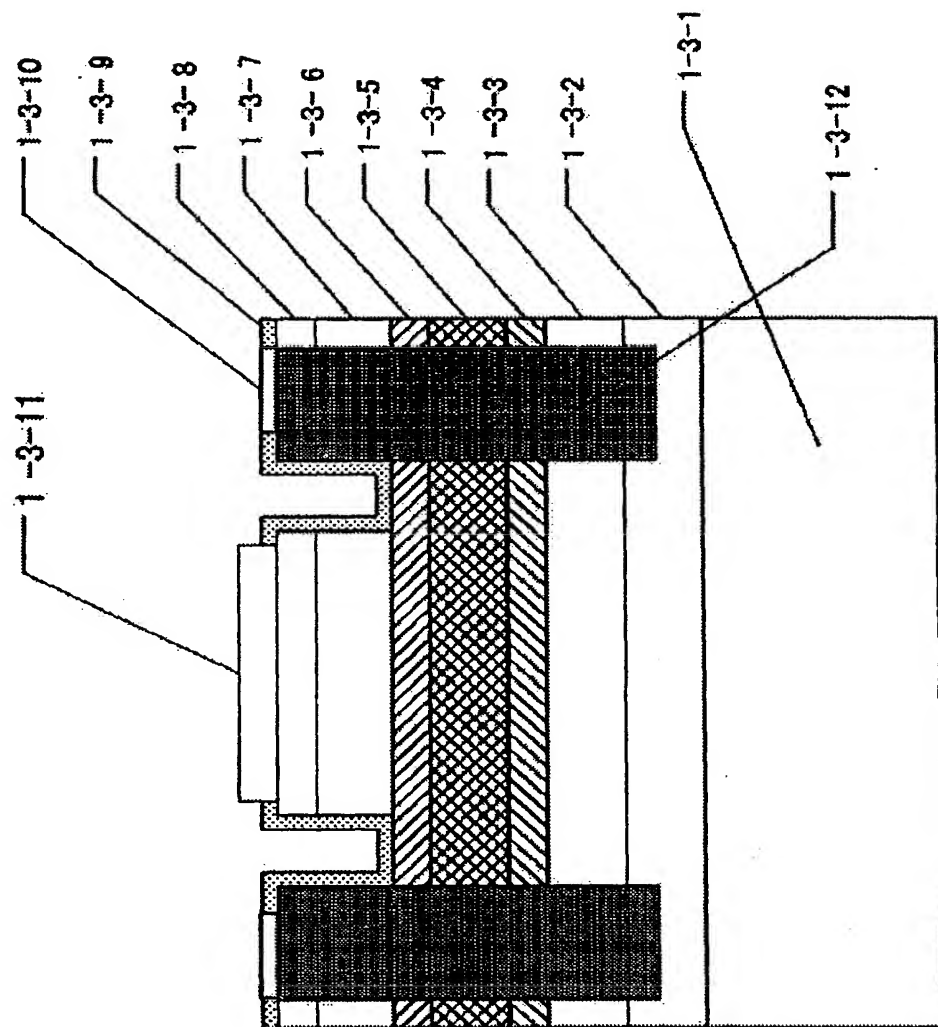
[図1]



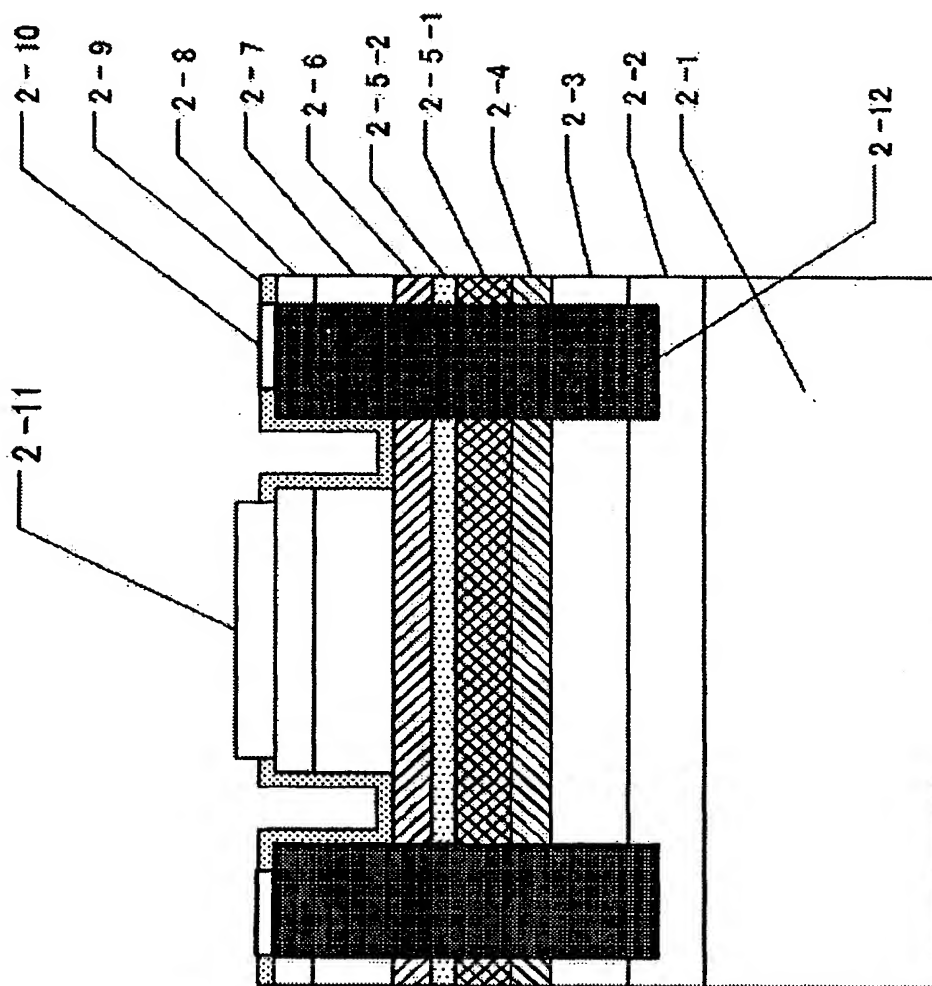
[図2]



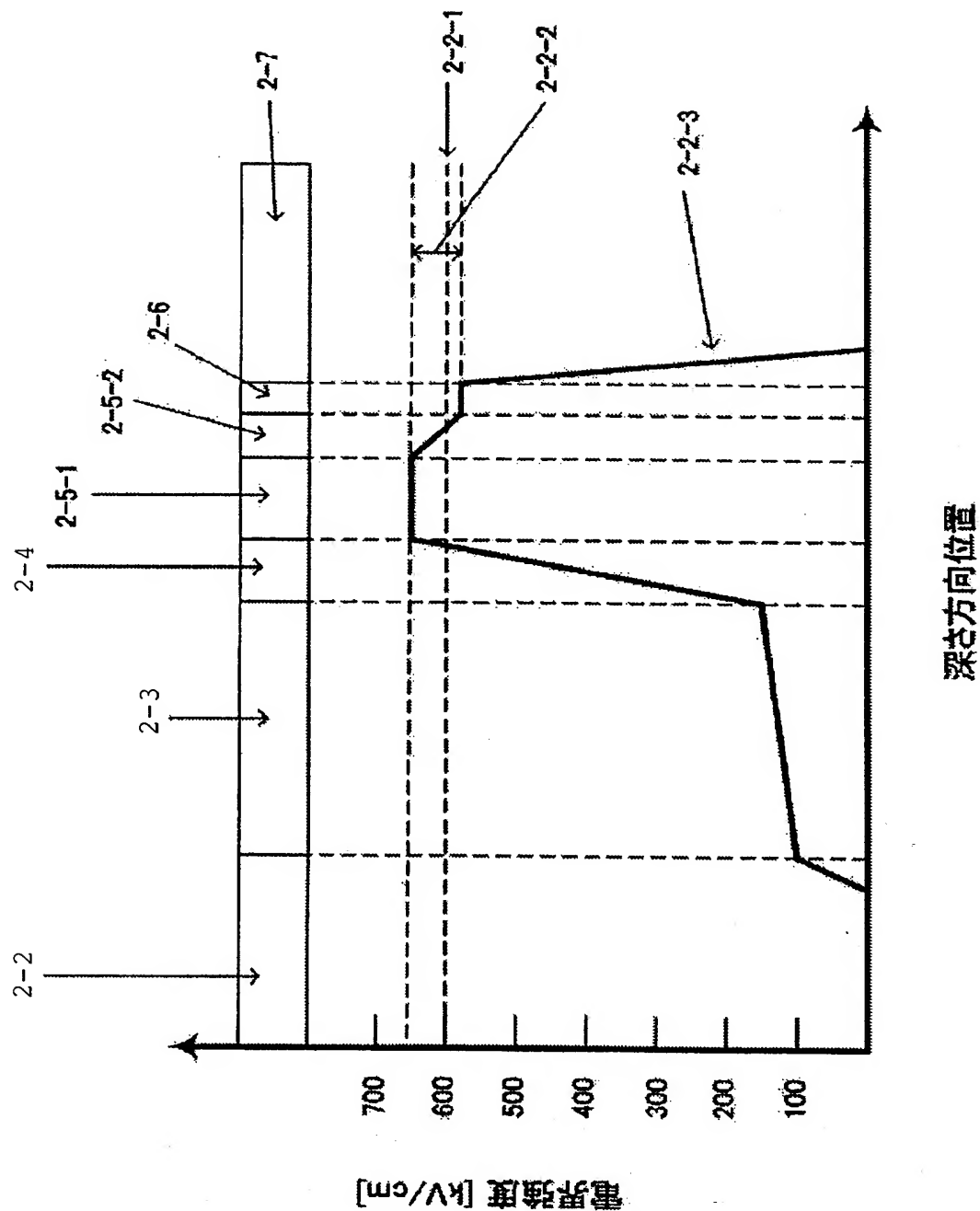
[図3]



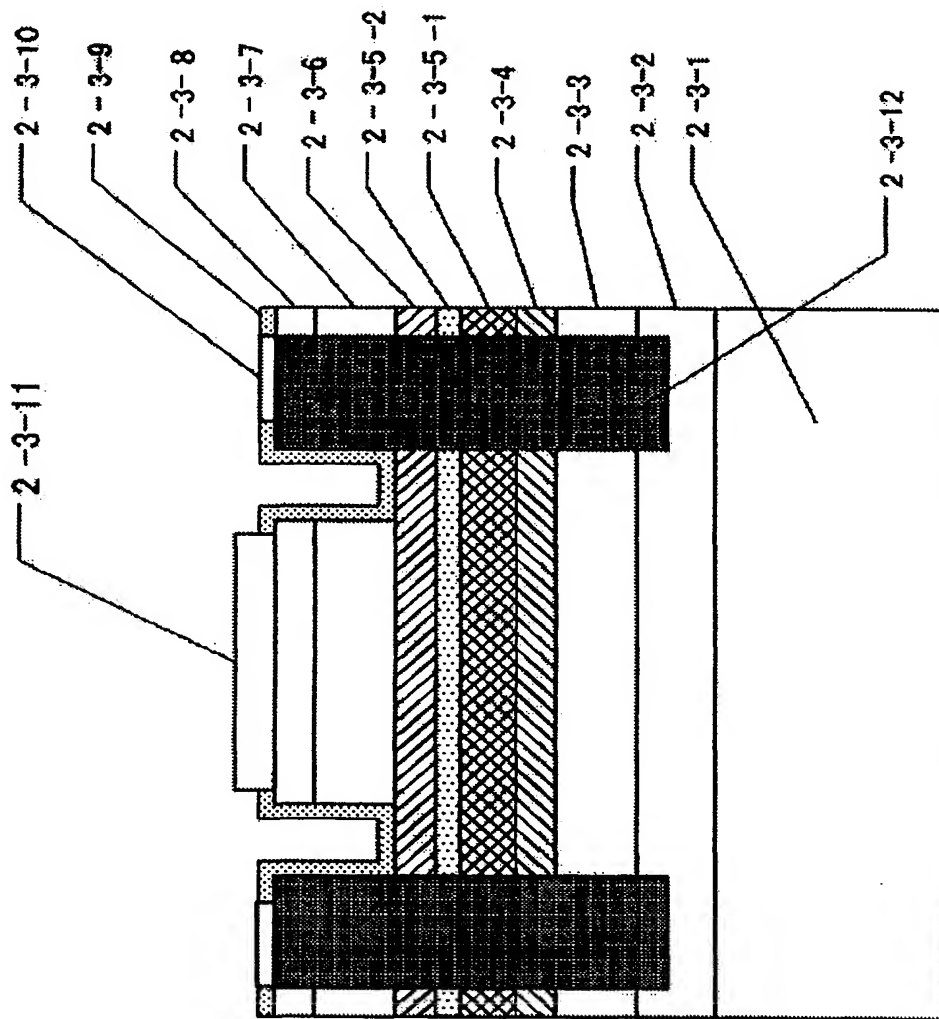
[図4]



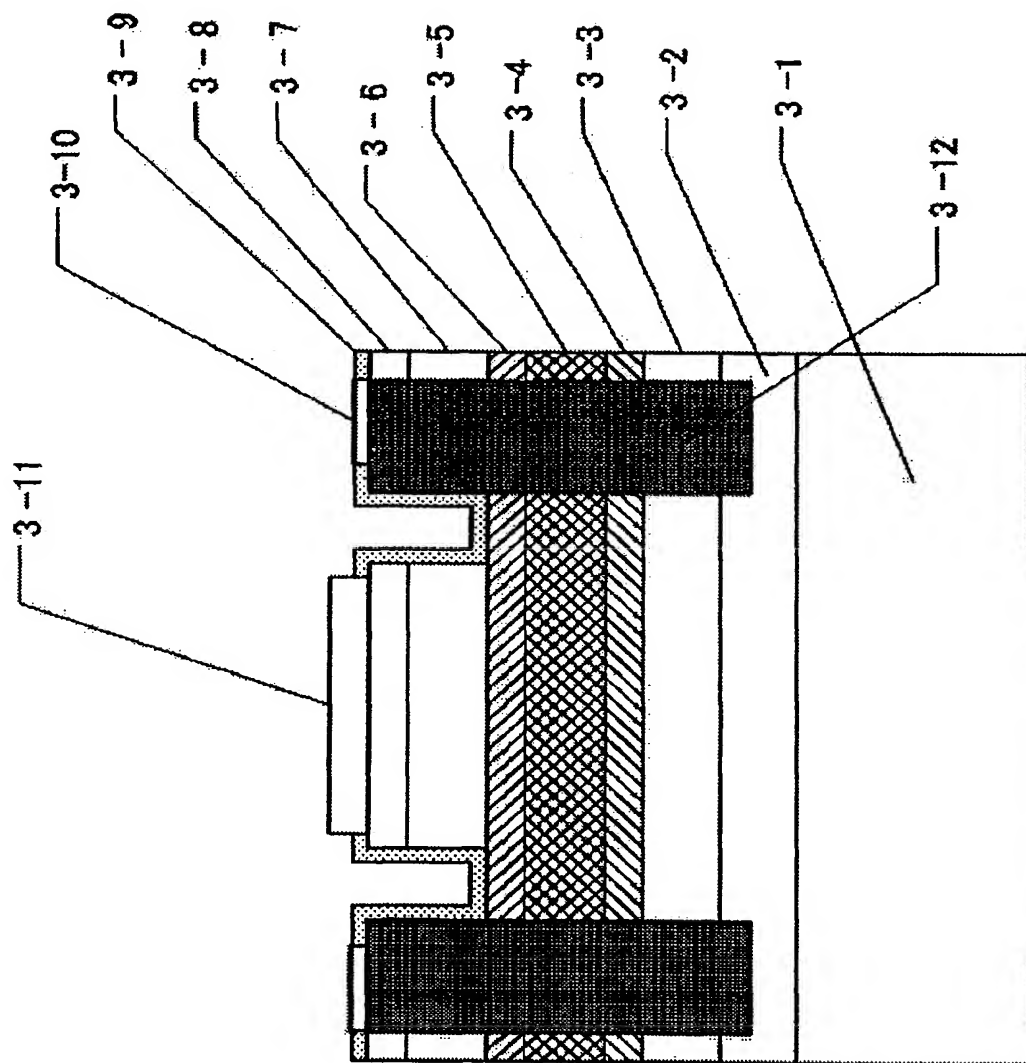
[図5]



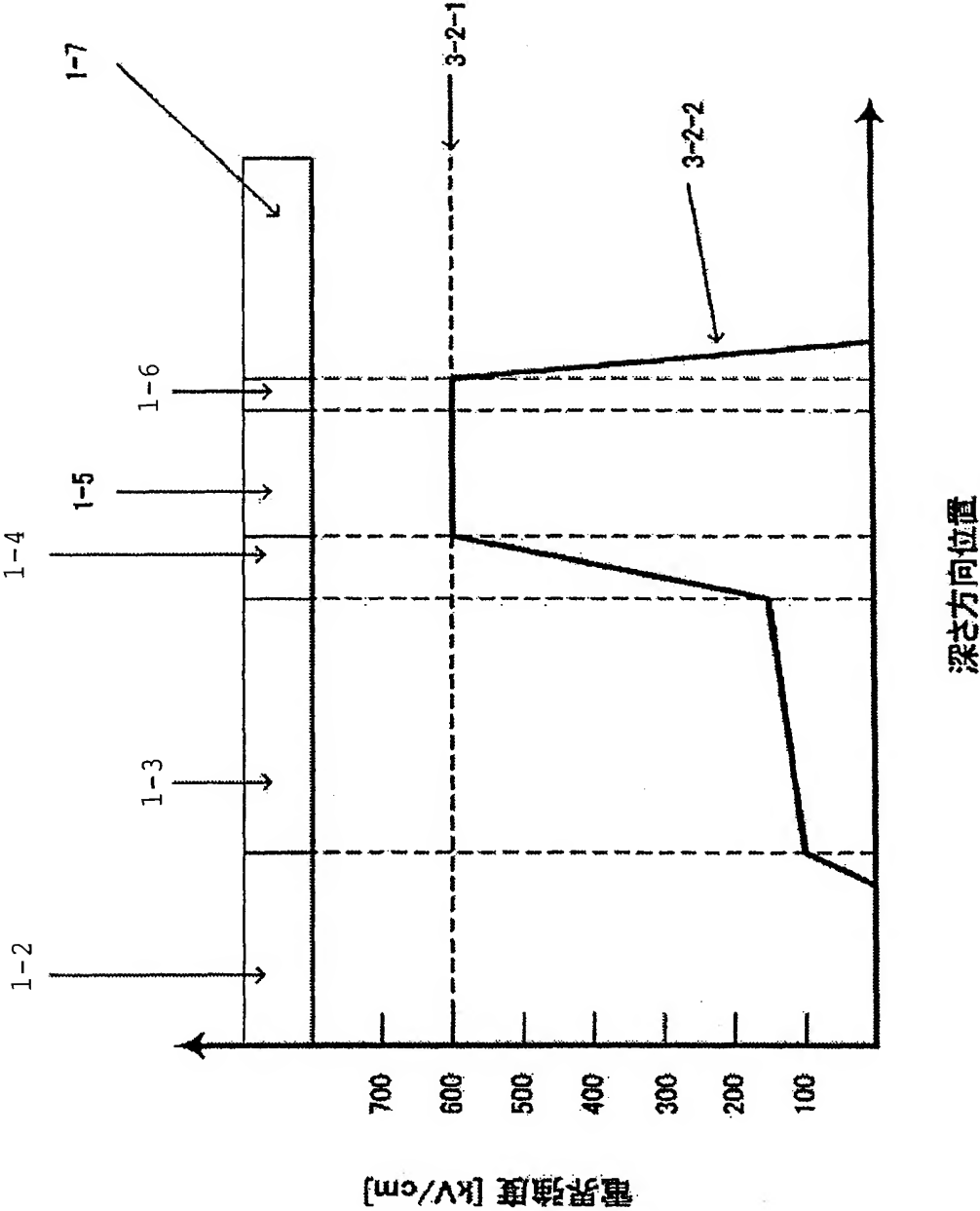
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001702

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L31/107

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L31/107

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-312442 A (NEC Corp.), 28 November, 1995 (28.11.95), Full text; all drawings (Family: none)	1-15
A	I. Watanabe et al., 'A New Planar-Structure InAlGaAs-InAlAs Superlattice Avalanche Photodiode with a Ti-Implanted Guard-Ring', IEEE Photonics Technology Letters, 1996, Vol.8, No.6, pages 827 to 829	1-15
A	JP 2000-323746 A (NEC Corp.), 24 November, 2000 (24.11.00), Full text; all drawings (Family: none)	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
24 May, 2005 (24.05.05)

Date of mailing of the international search report
14 June, 2005 (14.06.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001702

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-324911 A (Hitachi, Ltd.), 08 November, 2002 (08.11.02), Full text; all drawings (Family: none)	1-15
A	JP 2004-31707 A (NTT Electronics Kabushiki Kaisha), 29 January, 2004 (29.01.04), Full text; all drawings (Family: none)	1-15
A	JP 5-102517 A (Fujitsu Ltd.), 23 April, 1993 (23.04.93), Full text; all drawings (Family: none)	1-15
A	JP 61-170079 A (Toshiba Corp.), 31 July, 1986 (31.07.86), Full text; all drawings (Family: none)	1-15
A	JP 8-181349 A (NEC Corp.), 12 July, 1996 (12.07.96), Full text; all drawings (Family: none)	1-15

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. ⁷ H01L31/107		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. ⁷ H01L31/107		
最小限資料以外の資料で調査を行った分野に含まれるもの <div style="display: flex; justify-content: space-between;"> <div> 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 </div> <div> 1922-1996年 1971-2005年 1996-2005年 1994-2005年 </div> </div>		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 7-312442 A (日本電気株式会社) 1995. 11. 28 全文, 全図 (ファミリーなし)	1-15
A	I. Watanabe, Et. Al., 「A New Planar-Structure InAlGaAs-InAlAs Superlattice Avalanche Photodiode with a Ti-Implanted Guard-Ring」, IEEE Photonics Technology Letters, 1996, Vol. 8, No. 6, p. 827-829	1-15
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
<div style="display: flex;"> <div style="flex: 1;"> <p>* 引用文献のカテゴリー</p> <p>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</p> </div> <div style="flex: 1;"> <p>の日の後に公表された文献</p> <p>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」 同一パテントファミリー文献</p> </div> </div>		
国際調査を完了した日 24. 05. 2005	国際調査報告の発送日 14. 6. 2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 道祖土 新吾 電話番号 03-3581-1101 内線 3255	2K 9814

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-323746 A(日本電気株式会社)2000. 11. 24 全文, 全図 (ファミリーなし)	1-15
A	JP 2002-324911 A(株式会社日立製作所)2002. 11. 08 全文, 全図 (ファミリーなし)	1-15
A	JP 2004-31707 A(エヌティティエレクトロニクス株式会社) 2004. 01. 29, 全文, 全図 (ファミリーなし)	1-15
A	JP 5-102517 A(富士通株式会社)1993. 04. 23 全文, 全図 (ファミリーなし)	1-15
A	JP 61-170079 A(株式会社東芝)1986. 07. 31 全文, 全図 (ファミリーなし)	1-15
A	JP 8-181349 A(日本電気株式会社)1996. 07. 12 全文, 全図 (ファミリーなし)	1-15